

T. YL/10-2000-0044924

(19) 大韓民国特許庁 (KR)

(12) 公開特許公報 (A)

(51) Int. Cl.⁶

(11) 公開番号 : 特 2000-0044924

H01L 21/28

(43) 公開日付 : 2000 年 07 月 15 日

(21) 出願番号 10-1998-0061427

(22) 出願日付 1998 年 12 月 30 日

(71) 出願人 現代電子株式会社

(72) 発明者 ピ スン ホ

(74) 代理人 シン ヨン ム、チェ スンミン

審査請求 : なし

(54) 半導体素子のゲート電極形成方法

要約

本発明は半導体素子のゲート電極形成方法に関するもので、ゲート電極パターンニング後の熱酸化工程時にチタニウムシリサイド層の異常酸化現象を抑制するために、素子分離膜が形成されたシリコン基板上部にゲート酸化膜、ドーフトポリシリコン層、チタニウムシリサイド層及びマスク層を順に形成した後、急速熱処理工程を実施する段階と、上記マスク層、チタニウムシリサイド層、ドーフトポリシリコン層及びゲート酸化膜をパターンニングしてゲート電極をパターンニングした後、LDD 領域を形成する段階と、オゾン雰囲気中で 500℃以下、望ましくは 200～500℃の温度条件で熱酸化工程を実施し、露出されたシリコン基板、ゲート電極両側部及び上部に酸化膜を形成する段階と、等方性エッチング工程

で上記シリコン基板上部及びゲート電極上部に形成された酸化膜を除去し、ゲート電極の両側部にスペーサ酸化膜を形成し、高濃度イオン注入工程を実施して接合領域を形成する段階を順に実施することによって、チタニウムシリサイドの異常酸化現象を抑制し、素子の電気的特性を改善することができる半導体素子のゲート電極形成方法が開示される。

代表図

図 2

図面の簡単な説明

図 1 は従来の半導体素子のゲート電極形成方法を説明するために示された素子の断面図。

図 2a～2d は本発明による半導体素子のゲート電極形成方法を説明するために順に示した素子の断面図。

<図面の主要部分に対する符号の説明>

- | | |
|----------------|----------------|
| 21：シリコン基板 | 22：素子分離膜 |
| 23：ゲート酸化膜 | 24：ドーフトポリシリコン層 |
| 25：チタニウムシリサイド層 | 26：マスク層 |
| 27：LDD 領域 | 28：スペーサ酸化膜 |
| 29：接合領域 | |

発明がなそうとする技術的課題

本発明はオゾン雰囲気で活性化された酸素を生成し、活性化された酸素を利用した低温酸化によってスペーサ酸化膜を形成することによって、シリサイド層の異常酸化現象を抑制することができる半導体素子のゲート電極形成方法を提供することにその目的がある。

(57)請求の範囲

請求項 1

素子分離膜が形成されたシリコン基板上部にゲート酸化膜、ドーフトポリシリコン層、チタニウムシリサイド層及びマスク層を順に形成した後、急速熱処理工程を実施する段階と、

上記マスク層、チタニウムシリサイド層、ドーフトポリシリコン層及びゲート酸化膜をパターニングしてゲート電極をパターニングした後、LDD 領域を形成する段階と、

オゾン雰囲気 で 500℃以下の温度条件で熱酸化工程を実施し、露出されたシリコン基板、ゲート電極両側部及び上部に酸化膜を形成する段階と、

等方性エッチング工程で上記シリコン基板上部及びゲート電極上部に形成された酸化膜を除去し、ゲート電極の両側部にスペーサ酸化膜を形成し、高濃度イオン注入工程を実施して接合領域を形成する段階を含んでなることを特徴とする半導体素子のゲート電極形成方法。

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl. ⁶ H01L 21/28	(11) 공개번호 (43) 공개일자	특2000-0044924 2000년07월15일
(21) 출원번호	10-1998-0061427	
(22) 출원일자	1998년12월30일	
(71) 출원인	현대전자산업 주식회사 김영환	
(72) 발명자	경기도 이천시 부발읍 아미리 산 136-1 피승호	
(74) 대리인	경기도 이천시 부발읍 아미리 현대 3차아파트 301-2004 신영무, 최승민	
심사청구 : 없음		

(54) 반도체 소자의 게이트 전극 형성 방법

요약

본 발명은 반도체 소자의 게이트 전극 형성 방법에 관한 것으로, 게이트 전극 패터닝 후의 열산화 공정시 티타늄 실리사이드층의 이상 산화 현상을 억제하기 위하여, 소자분리막이 형성된 실리콘 기판 상부에 게이트 산화막, 도프트 폴리실리콘층, 티타늄 실리사이드층 및 마스크층을 순차적으로 형성한 후 급속 열처리 공정을 실시하는 단계와, 상기 마스크층, 티타늄 실리사이드층, 도프트 폴리실리콘층 및 게이트 산화막을 패터닝하여 게이트 전극을 패터닝한 후 LDD 영역을 형성하는 단계와, 오존 분위기에서 500℃ 이하, 바람직하게는 200~500℃의 온도 조건으로 열산화 공정을 실시하여 노출된 실리콘 기판, 게이트 전극 양측부 및 상부에 산화막을 형성하는 단계와, 등방성 식각 공정으로 상기 실리콘 기판 상부 및 게이트 전극 상부에 형성된 산화막을 제거하여, 게이트 전극의 양 측부에 스페이서 산화막을 형성하고, 고농도 이온 주입 공정을 실시하여 접합 영역을 형성하는 단계를 순서적으로 실시함으로써, 티타늄 실리사이드의 이상 산화 현상을 억제하여, 소자의 전기적 특성을 개선할 수 있는 반도체 소자의 게이트 전극 형성 방법이 개시된다.

도면

도 2

양면서

도면의 간단한 설명

도 1은 종래 반도체 소자의 게이트 전극 형성 방법을 설명하기 위해 도시한 소자의 단면도.

도 2a 내지 2d는 본 발명에 따른 반도체 소자의 게이트 전극 형성 방법을 설명하기 위해 순서적으로 도시한 소자의 단면도.

<도면의 주요 부분에 대한 부호 설명>

- | | |
|-----------------|-----------------|
| 21 : 실리콘 기판 | 22 : 소자분리막 |
| 23 : 게이트 산화막 | 24 : 도프트 폴리실리콘층 |
| 25 : 티타늄 실리사이드층 | 26 : 마스크층 |
| 27 : LDD 영역 | 28 : 스페이서 산화막 |
| 29 : 접합 영역 | |

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 소자의 게이트 전극 형성 방법에 관한 것으로, 특히 4G 디램(DRAM) 이상의 초고집적 반도체 소자의 게이트 전극 형성 방법에 관한 것이다.

반도체 소자는 계속해서 고집적화 되고 있는 실정이며, 소자의 고집적화에 따라 게이트 전극의 면저항을 줄이는 것이 중요한 문제가 되고 있다. 티타늄 실리사이드(TiSi₂)는 게이트 전극의 면저항 감소 면에서 선 폭이 0.18 μ m 이하인 차세대 반도체 소자의 게이트 전극용 재료로 주목되고 있으며, GOI(Gate Oxide Integrity)의 향상을 위해서는 게이트 전극 패터닝 후 산화 공정을 실시하는 것이 필수적이다. 이 산화

공정에 의해 게이트 전극 측벽 및 실리콘 기판 상부에 형성되는 산화막은 식각 공정에 의해 산화막 스페이서 형태로 되어 LDD 구조의 접합 영역 형성을 위한 이온 주입 공정시 마스크층으로 작용한다.

도 1은 종래 반도체 소자의 게이트 전극 형성 방법을 설명하기 위해 도시한 소자의 단면도이다.

실리콘 기판(11)에 소자분리막(12)을 형성하여 액티브 영역과 소자 분리 영역을 정의한 다음, 전체 구조 상부에 게이트 산화막(13), 도프트 폴리실리콘층(14), 티타늄 실리사이드층(15) 및 마스크층(16)을 순차적으로 형성한다. 이후, 게이트 전극 형성을 위한 식각 공정으로 마스크층(16), 티타늄 실리사이드층(15), 도프트 폴리실리콘층(14) 및 게이트 산화막(13)을 패터닝하여 게이트 전극을 형성한다. 다음에, 열산화 공정을 실시하여 게이트 전극 측벽 및 실리콘 기판(11) 상부에 산화막(17)을 형성한다.

그러나, 티타늄 실리사이드의 산화 속도가 실리콘의 산화속도보다 훨씬 빠르기 때문에, 열산화 공정시 티타늄 실리사이드층(15)이 과도하게 산화되어 이상 산화층(A)이 발생하게 되며, 심한 경우에는 티타늄 실리사이드층(15)이 모두 산화되어 게이트 전극으로써의 사용이 불가능해질 수도 있다.

티타늄 실리사이드와 실리콘과의 산화 속도 차이는 산화 공정을 저온에서 실시할수록 줄어드는데, 700℃ 이하에서는 실리콘이 거의 산화되지 않아 공정 진행이 매우 어려워지는 문제점이 있다.

발명이 이루고자하는 기술적 과제

따라서, 본 발명은 오존 분위기에서 활성화된 산소를 생성하고, 활성화된 산소를 이용한 저온 산화에 의해 스페이서 산화막을 형성함으로써, 실리사이드층의 이상 산화 현상을 억제할 수 있는 반도체 소자의 게이트 전극 형성 방법을 제공하는데 그 목적이 있다.

상술한 목적을 달성하기 위한 본 발명에 따른 반도체 소자의 게이트 전극 형성 방법은 소자분리막이 형성된 실리콘 기판 상부에 게이트 산화막, 도프트 폴리실리콘층, 티타늄 실리사이드층 및 마스크층을 순차적으로 형성한 후 급속 열처리 공정을 실시하는 단계와, 상기 마스크층, 티타늄 실리사이드층, 도프트 폴리실리콘층 및 게이트 산화막을 패터닝하여 게이트 전극을 패터닝한 후 LDD 영역을 형성하는 단계와, 오존 분위기에서 500℃이하, 바람직하게는 200~500℃의 온도 조건으로 열산화 공정을 실시하여 노출된 실리콘 기판, 게이트 전극 양측부 및 상부에 산화막을 형성하는 단계와, 등방성 식각 공정으로 상기 실리콘 기판 상부 및 게이트 전극 상부에 형성된 산화막을 제거하여, 게이트 전극의 양 측부에 스페이서 산화막을 형성하고, 고농도 이온 주입 공정을 실시하여 접합 영역을 형성하는 단계를 포함하여 이루어지는 것을 특징으로 한다.

발명의 구성 및 작용

이하, 첨부된 도면을 참조하여 본 발명을 상세히 설명하기로 한다.

도 2a 내지 2d는 본 발명에 따른 반도체 소자의 게이트 전극 형성 방법을 설명하기 위해 순서적으로 도시한 소자의 단면도이다.

도 2a에 도시된 바와 같이, 소자분리막(22)이 형성된 실리콘 기판(21) 상부에 게이트 산화막(23), 도프트 폴리실리콘층(24), 티타늄 실리사이드층(25) 및 마스크층(26)을 순차적으로 형성한다. 여기에서, 게이트 산화막(23)은 약 100Å의 두께로 형성하고, 도프트 폴리실리콘층(24) 및 티타늄 실리사이드층(25)은 500 ~ 1000Å의 두께로 형성하며, 마스크층(26)은 산화막 또는 질화막을 이용하여 1000 ~ 2000Å의 두께로 형성한다. 다음에, 불활성 분위기에서 800 ~ 900℃의 온도 조건으로 급속 열처리 공정을 실시한다.

도 2b에 도시된 바와 같이, 마스크층(26), 티타늄 실리사이드층(25), 도프트 폴리실리콘층(24) 및 게이트 산화막(23)을 패터닝하여 게이트 전극을 패터닝한 다음, LDD(Lightly Doped Drain) 이온 주입 공정을 실시하여 LDD 영역(27)을 형성한다.

도 2c에 도시된 바와 같이, 오존(O₃) 분위기에서 500℃이하, 바람직하게는 200~500℃의 온도 조건으로 열산화 공정을 실시하여 노출된 실리콘 기판(21), 게이트 전극 양측부 및 상부에 산화막(28)을 형성한다.

도 2d에 도시된 바와 같이, 등방성 식각 공정으로 실리콘 기판(21) 상부 및 게이트 전극 상부에 형성된 산화막을 제거하여, 게이트 전극의 양 측부에 스페이서 산화막(28)을 형성하고, 고농도 이온 주입 공정을 실시하여 접합 영역(29)을 형성한다.

오존(O₃) 분위기에서는 활성화된 산소가 생성되며, 활성화된 산소를 이용하여 저온에서도 실리콘의 산화가 용이하며, 티타늄 실리사이드와 실리콘의 산화 비의 차이 없이 목적하는 두께의 산화막을 형성할 수 있다.

발명의 효과

상술한 바와 같이, 본 발명에 따르면 오존 분위기에서 활성화된 산소를 생성하고, 활성화된 산소를 이용한 저온 산화에 의해 스페이서 산화막을 형성함으로써, 실리사이드층의 이상 산화 현상을 억제할 수 있다. 이에 따라 선폭 0.18μm 이하의 초고집적 소자의 게이트 전극 형성이 용이하게 되며, 소자의 특성을 개선할 수 있고 수율이 향상되는 효과가 있다.

(57) 청구의 범위

청구항 1. 소자분리막이 형성된 실리콘 기판 상부에 게이트 산화막, 도프트 폴리실리콘층, 티타늄 실리사이드층 및 마스크층을 순차적으로 형성한 후 급속 열처리 공정을 실시하는 단계와,

상기 마스크층, 티타늄 실리사이드층, 도프트 폴리실리콘층 및 게이트 산화막을 패터닝하여 게이트 전극

을 패터닝한 후 LDD 영역을 형성하는 단계와,

오존 분위기에서 500℃ 이하의 온도 조건으로 열산화 공정을 실시하여 노출된 실리콘 기판, 게이트 전극 양측부 및 상부에 산화막을 형성하는 단계와,

등방성 식각 공정으로 상기 실리콘 기판 상부 및 게이트 전극 상부에 형성된 산화막을 제거하여, 게이트 전극의 양 측부에 스페이서 산화막을 형성하고, 고농도 이온 주입 공정을 실시하여 접합 영역을 형성하는 단계를 포함하여 이루어지는 것을 특징으로 하는 반도체 소자의 게이트 전극 형성 방법.

청구항 2. 제 1 항에 있어서,

상기 게이트 산화막은 약 100Å의 두께로 형성하는 것을 특징으로 하는 반도체 소자의 게이트 전극 형성 방법.

청구항 3. 제 1 항에 있어서,

상기 도프트 폴리실리콘층 및 티타늄 실리사이드층은 500 ~ 1000Å의 두께로 형성하는 것을 특징으로 하는 반도체 소자의 게이트 전극 형성 방법.

청구항 4. 제 1 항에 있어서,

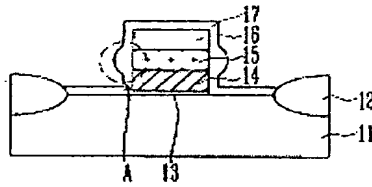
상기 마스크층은 산화막 또는 질화막을 이용하여 1000 ~ 2000Å의 두께로 형성하는 것을 특징으로 하는 반도체 소자의 게이트 전극 형성 방법.

청구항 5. 제 1 항에 있어서,

상기 금속 열처리 공정은 불활성 분위기에서 800 ~ 900℃의 온도 조건으로 실시하는 것을 특징으로 하는 반도체 소자의 게이트 전극 형성 방법.

도면

도면1



도 12

